

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR MEMORY

Patent Number: JP4372789
Publication date: 1992-12-25
Inventor(s): HATANO TAKAHISA
Applicant(s):: SANYO ELECTRIC CO LTD
Requested Patent: ☐ JP4372789
Application JP19910150370 19910621
Priority Number(s):
IPC Classification: G11C11/401
EC Classification:
Equivalents: JP2698236B2

Abstract

PURPOSE: To remove a noise imposed from a surrounding circuit on a memory cell.

CONSTITUTION: An N channel MOS transistor constituted of a writing word line driver 21, writing amplifier 22, and reading word line driver 23, is formed in an independent P type semiconductor area 24 in which a memory cell 1 is formed. Then, a ground line 25 of the memory cell 1 is connected with each driver 21, 23, and the writing amplifier 22, so that the voltage fluctuation of a writing word line WWLi wiring bit line BLWi and reading word line RWLi, can be removed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-372789

(43) 公開日 平成4年(1992)12月25日

| (51) IntCl. ⁵ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|---------|---------------|---------|
| G 1 1 C 11/401 | | 8320-5L | G 1 1 C 11/34 | 3 6 2 G |

審査請求 未請求 請求項の数 2 (全 5 頁)

(21) 出願番号 特願平3-150370

(22) 出願日 平成3年(1991)6月21日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 幡野 貴久

守口市京阪本通2丁目18番地 三洋電機株式会社内

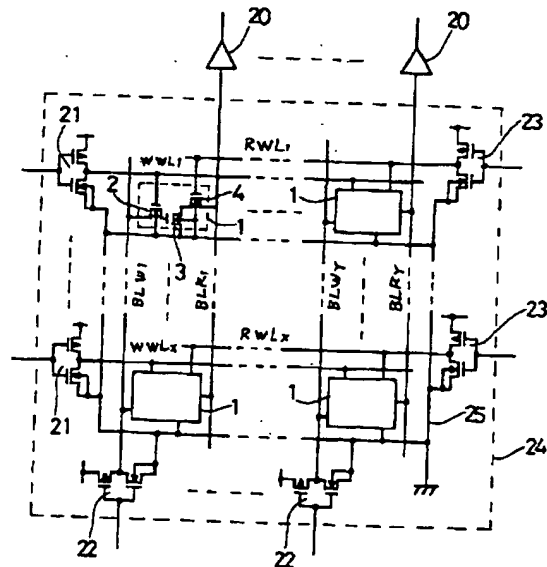
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【目的】 周辺回路からメモリセルに印加されるノイズを除去する。

【構成】 メモリセル1が形成される独立したP型半導体領域24内に書き込みワードラインドライバ21、書き込みアンプ22、及び、読み出しワードラインドライバ23のNチャネルMOSトランジスタを形成し、メモリセル1のグラウンドライン25と各ドライバ21、23、及び書き込みアンプ22を接続することにより、書き込みワードラインWWL_i、書き込みビットラインBLW_i、及び、読み出しワードラインRWL_iの電圧変動を除去する。



1

【特許請求の範囲】

【請求項1】 書き込みアドレスデータに従って選択される書き込みワードラインと、書き込みデータに基づいた信号が伝達される書き込みビットラインと、読み出しアドレスデータに従って選択される読み出しワードラインと、記憶されたデータに応じた信号が伝達される読み出しビットラインと、前記書き込みワードラインを駆動する書き込みワードラインドライバと、前記書き込みビットラインを駆動する書き込みビットラインドライバと、前記読み出しワードラインを駆動する読み出しワードラインドライバと、前記書き込みワードラインと書き込みビットライン及び前記読み出しワードラインと読み出しビットラインの交点に各々配置されたメモリセルと、該メモリセルが形成される第1の半導体基板領域とを備え、少なくとも前記書き込みワードラインドライバ、及び、前記書き込みビットラインドライバを各々構成するMOSトランジスタは、前記第1の半導体基板領域内に形成され、前記メモリセル及び各ドライバのMOSトランジスタは、他の所定電圧供給ラインと独立した電圧供給ラインと共通に接続されることを特徴とする半導体メモリ。

【請求項2】 前記書き込みワードラインドライバ、及び、書き込みビットラインドライバは、各々NチャネルMOSトランジスタとPチャネルMOSトランジスタとから構成され、前記NチャネルMOSトランジスタのソース及び前記メモリセルを構成するNチャネルMOSトランジスタのソースは共通に接地電圧と接続されることを特徴とする請求項1記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、データの書き込みと読み出しが非同期で行われる半導体メモリに関する。

【0002】

【従来の技術】 一般に、映像信号をAD変換してデジタル処理を行うシステムの画面メモリや1Hディレイ等に使用される映像用メモリ、あるいは、FIFOメモリのためにデュアルポートメモリが開発されている。

【0003】 図2に従来のDRAMで構成したデュアルポートメモリを示す。

【0004】 メモリセル1は、NチャネルMOSトランジスタで構成された、所謂、3トランジスタ型のダイナミックメモリセルであり、書き込みトランジスタ2、読み出しトランジスタ3、及び、コンデンサとなるメモリトランジスタ4から構成される。情報電荷は、メモリトランジスタ4のゲート電極とチャネル間のNOS容量に蓄積され、蓄積された電荷によってメモリトランジスタ4がオンであるかオフであるかによってデータの判別が行われる。

【0005】 メモリセル1の書き込みトランジスタ2のゲートは、書き込みローアドレスデコーダ5から出力さ

2

れる書き込みワードラインWWL_i (i = 1 ~ X) の各々に接続され、書き込みローアドレスデコーダ5には、書き込みローアドレスクロックWφ_{row}を計数する書き込みローアドレスカウンタ6の計数値が印加される。また、書き込みトランジスタ2のドレインは、書き込みビットラインBLW_j (j = 1 ~ Y) に各々接続され、各々の書き込みビットラインBLW_jには、書き込みアンプ7及びプリチャージトランジスタ8が接続される。更に、書き込みアンプ7の入力とデータ入力ラインD_{is}との間には、書き込みカラムアドレスデコーダ9の出力WC_iによって制御される選択トランジスタ10が設けられ、書き込みカラムアドレスデコーダ9には、書き込み制御クロックWφ_{cl}を計数する書き込みカラムアドレスカウンタ11の計数値が印加される。

【0006】 一方、メモリセル1の読み出しトランジスタ4のゲートは、読み出しローアドレスデコーダ12から出力される読み出しワードラインRWL_iの各々に接続され、読み出しローアドレスデコーダ12には、読み出しローアドレスクロックRφ_{row}を計数する読み出しローアドレスカウンタ13の計数値が印加される。また、読み出しトランジスタ4のドレインは、読み出しビットラインBLR_jに各々接続され、各々の読み出しビットラインBLR_jにはセンスアンプ14とプロチャージトランジスタ15が接続される。更に、センスアンプ14とデータ出力ラインD_{out}の間には、読み出しカラムアドレスデコーダ16の出力RC_iによって制御される選択トランジスタ17が設けられ、読み出しカラムアドレスデコーダ16には、読み出し制御クロックRφ_{cl}を計数する読み出しカラムアドレスカウンタ18の計数値が印加される。

【0007】 図2において、メモリセル1の書き込み動作及び読み出し動作において、周辺回路、即ち、書き込みローアドレスデコーダ5、書き込みカラムアドレスデコーダ9、読み出しローアドレスデコーダ12、及び、読み出しカラムアドレスデコーダ16等の回路、及び、図2に示されたメモリ以外の回路が同一半導体基板に形成されている場合のメモリ以外の回路から発生するノイズによって、メモリセル1のデータが影響を受けることを防止するために、メモリセル1を構成するNチャネルMOSトランジスタは、周辺回路のMOSトランジスタが設けられる半導体領域から独立したP型領域内に形成され、このP型領域の基板電圧及びNチャネルMOSトランジスタに接続する接地電圧の供給ラインを他の回路の接地電圧ラインと独立していた。

【0008】

【発明が解決しようとする課題】 図2の構成によると、メモリセル1の書き込みトランジスタ2の特性、例えば、ソース・ドレイン電圧V_{ds}は、書き込みビットラインBLW_jを駆動する書き込みアンプ7を構成するCMOSトランジスタのNチャネルトランジスタの接地電

圧レベルに依存する。従って、メモリトランジスタ4に充電される電荷量が書き込みトランジスタ2の特性によって変化してしまう。即ち、周辺回路の接地電圧に発生したノイズがメモリセル1に影響を与えることになる。

【0009】

【課題を解決するための手段】本発明は、上述した点に鑑みて創作されたものであり、書き込みアドレスデータに従って選択される書き込みワードラインと、書き込みデータに基づいた信号が伝達される書き込みビットラインと、読み出しアドレスデータに従って選択される読み出しワードラインと、記憶されたデータに応じた信号が伝達される読み出しビットラインと、前記書き込みワードラインを駆動する書き込みワードラインドライバと、前記書き込みビットラインを駆動する書き込みビットラインドライバと、前記読み出しワードラインを駆動する読み出しワードラインドライバと、前記書き込みワードラインと書き込みビットライン及び前記読み出しワードラインと読み出しビットラインの交点に各々配置されたメモリセルと、該メモリセルが形成される第1の半導体基板領域とを備え、前記書き込みワードラインドライバ、前記書き込みビットラインドライバ、及び、前記読み出しワードラインドライバを各々構成するMOSトランジスタを前記第1の半導体基板領域に形成し、各ドライバのMOSトランジスタと前記メモリセルを、周辺回路の電圧供給ラインと独立した電圧供給ラインに接続することにより、メモリセルへのノイズの影響を除去するものである。

【0010】

【作用】上述の手段によれば、メモリセルが形成された半導体領域内に書き込みワードラインドライバ、及び、書き込みビットラインドライバを構成するMOSトランジスタを形成し、他の接地ラインと独立した専用の接地ラインと接続することにより、周辺回路の接地ラインに発生するノイズが、書き込みビットライン及び書き込みワードラインに伝達されなくなり、メモリセルへのノイズの影響が除去される。

【0011】

【実施例】図1は、本発明の実施例を示すブロック図であり、図2と同一の構成については省略されている。

【0012】メモリセル1は、図2に示されたメモリセル1と同一構成の3トランジスタ型のダイナミックメモリセルであり、各々書き込みワードラインWWL_iと書き込みビットラインBLW_iに接続されると共に読み出しワードラインRWL_iと読み出しビットラインBLR_iに接続される。読み出しビットラインBLR_iの各々には、センスアンプ20が接続され、各センスアンプ20の出力は、図2に示された選択トランジスタ17に接続される。

【0013】書き込みワードラインWWL_iは、各々書き込みワードラインドライバ21の出力に接続され、書

き込みワードラインドライバ21の入力には図2の書き込みローアドレスデコーダ5のデコーダ出力が接続される。書き込みビットラインBLW_iの各々は書き込みアンプ22の出力に接続され、書き込みアンプ22の入力は、図2の選択トランジスタ10に接続される。また、読み出しワードラインRWL_iの各々は読み出しワードラインドライバ23の出力に接続され、読み出しワードラインドライバ23の入力は、図2の読み出しローアドレスデコーダ12のデコーダ出力に接続される。

【0014】各ドライバ21、23及び書き込みアンプ22は、各々PチャネルMOSトランジスタとNチャネルMOSトランジスタで構成されたCMOSである。ここで、メモリセル1を構成するNチャネルMOSトランジスタ2、3、4は、全て同一のP型半導体領域24（破線で囲まれた回路部分で示されるが、実際は半導体基板上に形成された独立したP-WELL内に形成される）に形成され、更に、各ドライバ21、23、及び書き込みアンプ22のNチャネルMOSトランジスタもメモリセル1と同一のP型半導体領域24に形成される。また、メモリセル1のNチャネルMOSトランジスタ2、3、4の基板電圧、即ち、P型半導体領域24を半導体基板本体と逆バイアスするための接地電圧を供給するグラウンドライン25がP型半導体領域24に延在され、グラウンドライン25に、メモリトランジスタ3のソース電極が接続されると共に、各ドライバ21、23、及び書き込みアンプ22のNチャネルMOSトランジスタのソース電極が接続される。

【0015】このグラウンドライン25は、P型半導体領域24以外に形成された周辺回路のグラウンドラインとは独立して設けられ、半導体集積回路基板上の接地電圧パッドにおいて接続される。あるいは、グラウンドライン25が接続されるパッドと周辺回路のグラウンドラインの接続されるパッドを個別に形成してもよい。

【0016】図1の構成によると、周辺回路の動作によって流れる電流は、周辺回路のグラウンドラインに集中し、メモリセル1のグラウンドライン25には流れない。従って、各ドライバ21、23及び書き込みアンプ22のNチャネルMOSトランジスタのソース電圧の変動がなくなるため、書き込みワードラインWWL_iや書き込みビットラインBLW_iあるいは読み出しワードラインRWL_iの電圧変動がなくなり、メモリセル1のトランジスタ2、3、4の特性変化が防止される。即ち、周辺回路のグラウンドラインに発生するノイズの影響は、メモリセル1には及ばないのである。

【0017】

【発明の効果】上述の如く本発明によれば、同一半導体基板上に形成されたメモリセルとその周辺回路において、周辺回路に発生するノイズがメモリセルに影響を及ぼすことが防止でき、信頼性の高い半導体メモリを実現できる。特に、同一の半導体基板上に、デジタル信号処

5

6

理回路等の機能回路とメモリ回路とを内蔵するような場合には、その効果は大なるものである。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

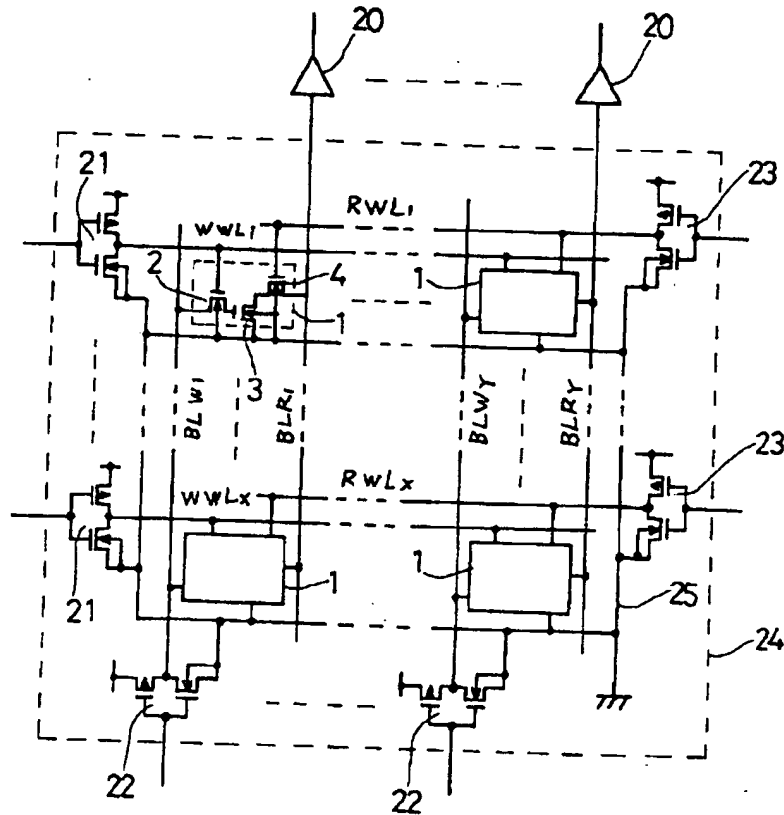
【図2】従来例を示すブロック図である。

【符号の説明】

1 メモリセル

20 センスアンプ
21 書き込みワードラインドライバ
22 書き込みビットラインドライバ
23 読み出しワードラインドライバ
24 P型半導体領域
25 グランドライン

【図1】



【図2】

